2025/11/17 22:24 1/1 标题 H1

verilog 插件automatic.vim的BUG记录

标题 H1

1. 自动定义的bug□ 当被例化模块中多一些port时(比如用宏定义隔起来),此时使用自动定义功能会出错,这时最好把这些多出的不管,到时候列出unsolved里面就好。 ===已修改 2020.03.18

- 2. 列化时port_name 有两种style, 一种是.port_name()□另一种是,.port_name()□ 第二种方式不支持。===已修改 2020.03.18
- 3. 添加端口方向定义时,出现variable type mismatch for : tmp的问题□ AppendPortDirectionToInst: 54. === 已删除,已废弃的功能 2020.05.03
- 4. 自动定义时,如果下面有autoinst没有把端口列出来的话,后面正常inst连线的端口的线将不会被自动定义,这可能是autoinst括号匹配的问题。
- 5. 自动定义时,如果模块例化在前□always赋值块在后,则连线类型被固定为wire□这应该要调整一下。
- 6. 自动定义时,如果inst_port和后面的括号(中间没有空格的话,将不会被自动定义上,这个应该需要修改一下。