

verilog 插件automatic.vim的BUG记录

标题 H1

1. 自动定义的bug 当被例化模块中多一些port时（比如用宏定义隔起来），此时使用自动定义功能会出错，这时最好把这些多出的不管，到时候列出unsolved里面就好。 ===已修改 2020.03.18
2. 列化时port_name 有两种style, 一种是.port_name() 另一种是,.port_name(), 第二种方式不支持。 ===已修改 2020.03.18
3. 添加端口方向定义时，出现variable type mismatch for : tmp的问题 AppendPortDirectionToInst: 54.