

# cdc\_check

## gray code, 多bit同步约束

需要保证gray code bit之间的skew (指的是到dest clk的数据 path长度) , 少于1个source clk period, 最好控制在0.5 period以内。

## 到组合逻辑EN gate的路径约束

某些情况下，是采用en的方式将source clk的数据固定到确定状态，也就是即使你过来的数据是X态不确定态也没有关系，因为和EN与的话，就是一个确定的0值 (OR 成固定值1也是一样的道理)。确定design确定到这样EN gate的数据端的最大时间做为data路径的max delay约束，也就是CDC PATH

## 到dest clk register D端的约束

从source clk到dest clk的异步路径，一般还是要约束一下异步PATH的长度，一般是要小于<一个dest clk period -- 属于通用约束

## cdc buffer check

有的时候design设计者故意在这样的异步路径上放一些cdc buffer cell (可以就看着一个dont touch cell, 方便PR找到这个cell) 可以选择性的约束这段路径的max/min delay 主要还是为了方便找到这样的PATH 原理都是上面描述的3种check类型。

## sync cdc cell

随着工艺的提升 foundry厂已经开发了集成式的打两拍的同步cell PR不用再考虑后dest clk域的两级flop之间的D PATH长度，工艺厂已经做好了，直接用就行，默认都是满足时序要求的 (类似于集成于的clock gating cell)