

- 跨时钟时未同步，直接使用。
- glitch引入，组合逻辑电路存在竞争
- re-convergence[]分别同步后，再一起组合逻辑使用 -- 分别同步可能有先后关系，导致逻辑行为错误，应该是使用vld+bus的方式同步多bit信号。
- async-reset sync[] 应该使用异步复位，同步释放的方式。